

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-260727

(43)Date of publication of application : 20.11.1991

(51)Int.Cl.

G06F 9/34

(21)Application number : 02-058845

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 09.03.1990

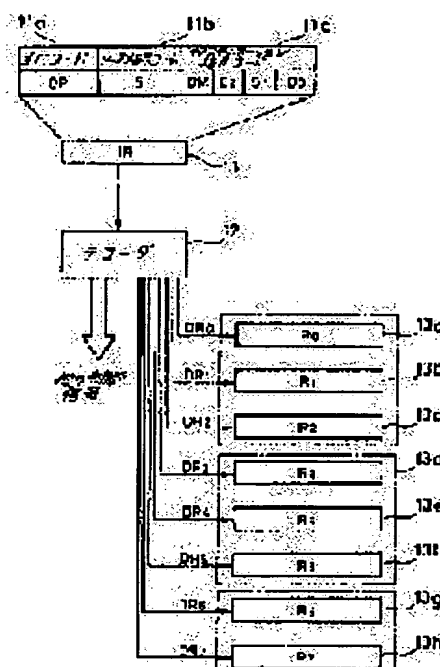
(72)Inventor : MATSUMURA TETSUYA
NAKAGAWA SHINICHI
URAMOTO SHINICHI

(54) REGISTER DESIGNATING DEVICE

(57)Abstract:

PURPOSE: To designate plural registers as destinations by providing a decoder which can designate plural destination registers with a single instruction.

CONSTITUTION: A destination pointing field 11c of an instruction register IR 11 consists of four bits in all, i.e., a destination mode bit DM and the destination pointing bits D2 - D0. Then the IR 11 fetches an instruction to be executed and decodes this instruction via a decoder 12. When the fetched instruction requires a destination and the DM bit is equal to '1', a multi-register designation mode is set so that plural prescribed ones of destination pointing signals DR0 - DR7 are selected based on the values of the bits D0 - D2. Thus plural registers 13 can be set as destinations. Then the instruction steps are decreased in a program ming mode.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-260727

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)11月20日

G 06 F 9/34

3 3 0

7927-5B

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 レジスタ指定装置

⑯ 特 願 平2-58845

⑰ 出 願 平2(1990)3月9日

⑱ 発 明 者 松 村 哲 哉 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 発 明 者 中 川 伸 一 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 発 明 者 浦 本 紳 一 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 代 理 人 弁理士 早瀬 憲一

明 細 書

1. 発明の名称

レジスタ指定装置

2. 特許請求の範囲

(I) 命令を格納するためのインストラクションレジスタと、

複数個のレジスタと、

前記命令をデコードし制御信号を生成するデコーダとを備え、

前記デコーダは1つの命令により単一もしくは複数のレジスタをディスティネーションとして指定するディスティネーションレジスタ指定信号を発生することを特徴とするレジスタ指定装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、 μ P(マイクロプロセッサ)やDSP(デジタルシグナルプロセッサ)におけるレジスタ指定装置に関するものである。

(従来の技術)

第2図は、従来のレジスタ指定方式を示す図で

あり、図において、21は実行すべき命令(インストラクション)を格納するインストラクションレジスタ(IR)、22はIR21の値によりレジスタのディスティネーション指定信号を出力するデコーダ、23a~23hはレジスタR₀~R₁₅を示している。

また第5図はデコーダのブロック構成を示す図であり、図において、52はデコーダ、53はオペコードデコーダ、54はディスティネーションコードレジスタである。なお、51はインストラクションレジスタである。

次に第2図及び第5図を参照しながら動作について説明する。

IR21は任意のビット長を持つインストラクション(命令)を格納するための専用レジスタであり、ビットフィールドはオペコードフィールド21a、オペランドフィールドに分類され、オペランドフィールドはソース指示フィールド21b、ディスティネーション指示フィールド21cに分類される。

IR21は実行すべき命令を取り込み（フェッチ）、その命令をデコーダ22によりデコードする。フェッチした命令が、ディスティネーションを必要とする命令、例えば転送、演算命令である場合、オペコードデコーダ53はデコーダ内のディスティネーションセレクト信号（DS）を“1”にし、そうでない命令、例えば分岐命令の場合、ディスティネーションセレクト信号（DS）を“0”にする。

DS信号が0の場合、ディスティネーションコードレジスタ54はディスティネーションフィールドのD₂、D₁、D₀がどのような値であっても、各レジスタR₀～R₇に対するディスティネーション指定信号DR₀～DR₇として“0”を出力する（第4図の真理値表およびこの真理値表を回路的に実現した第7図参照）。つまりどのレジスタもディスティネーションとして選択されない。DS信号が“1”の場合、ディスティネーションコードレジスタ54はIRのディスティネーションフィールドD₂～D₀の値により、DR₀～DR₇

のうちの1つのレジスタを選択する。

上記の様な構成をとると、例えばレジスタR₀～R₇に任意の値Xをロードする場合、以下の様に5つのロード命令を実行する必要がある。

LDR X, R₀.

LDR X, R₁.

LDR X, R₂.

LDR X, R₃.

LDR X, R₄.

〔発明が解決しようとする課題〕

従来のμPやDSPにおけるディスティネーションのレジスタ指定方式は以上のように行われているので、ディスティネーションを指定する命令（転送命令、演算命令）において、単一のレジスタしかディスティネーション指定できず、同じ値のデータを複数のレジスタに格納する場合は、同様の命令をディスティネーションを変更しながら複数回実行する必要があり、命令ステップ数が増大する等の問題点があった。

この発明は、上記のような問題点を解消するた

めになされたもので、ディスティネーションを指定する命令において、複数のレジスタをディスティネーションとして指定できる、μPもしくはDSPのレジスタ指定装置を得ることを目的とする。
〔課題を解決するための手段〕

この発明に係るレジスタ指定装置は、1つの転送もしくは演算命令で複数のディスティネーションレジスタを指定できるデコーダを設け、IRのディスティネーション指示フィールドの指定により、単一のレジスタをディスティネーションとすること、及び複数（すべてのレジスタも可）のレジスタをディスティネーションとして指定することを可能にしたものである。

〔作用〕

この発明におけるレジスタ指定装置によれば、複数のレジスタをディスティネーションとして指定することにより、同じ値を複数のレジスタに格納する必要があるプログラムを作成する場合、命令ステップが削減できる。

〔実施例〕

以下、この発明の一実施例を第1図及び第5図を用いて説明する。

第1図は本発明の一実施例によるレジスタ指定装置を示し、図において、IR11は任意のビット長を持つインストラクションを格納するための専用レジスタであり、ビットフィールドはオペコードフィールド11a、オペランドフィールドに分類され、オペランドフィールドはソース指示フィールド11b、ディスティネーション指示フィールド11cに分類される。ここで、ディスティネーションフィールドは、ディスティネーションモードビットDMとディスティネーション指示ビットD₂、D₁、D₀の計4ビットで構成される。

次に動作について説明する。IR11は実行すべき命令をフェッチし、その命令をデコーダ12によりデコードする。フェッチした命令がディスティネーションを必要とする命令、例えば転送、演算命令である場合、オペコードのデコーダ53はディスティネーションセレクト信号DSを“1”にし、そうでない分岐命令等の場合はDS信号

を“0”とする。

DS信号が“0”の場合、ディスティネーションコードレジスタ54はIRのディスティネーションフィールドのDM、D₂、D₁、D₀の値によらず、ディスティネーション指定信号DR₀～DR₇としてすべて“0”を出力する。DS信号が“1”の場合、ディスティネーションコードレジスタ54はディスティネーションモードビットDMの値によって単一レジスタ指定モードと複数レジスタ指定モードに分類する（第3図の真理値表およびこの真理値表を回路的に実現した第6図参照）。

DMビットが“0”の場合は、単一レジスタ指定モードとなり、ディスティネーション指示フィールドD₀～D₂の値により、DR₀～DR₇のうちの1つを選択する（“1”となる）。

DMビットが“1”の場合は、複数レジスタ指定モードとなり、本実施例の場合、D₀ビットにDR₀、DR₁、DR₂信号を、D₁ビットにDR₃、DR₄、DR₅信号を、D₂ビットにDR₆、DR₇信号を出力する。

DR₀、DR₁、DR₂信号をそれぞれ割り当てているので、D₀が“1”の場合は、DR₀、DR₁、DR₂の3つのレジスタをディスティネーションとして選択する。D₁、D₂ビットの場合も同様であり、DR₃～DR₇のすべてのレジスタをディスティネーションとして指定したい場合は、D₂、D₁、D₀をすべて“1”にすればよい。

以上のような構成をとるので、例えばR₀～R₇に任意の値Xをロードする場合、以下の1つのロード命令を実行するのみでよい。

LDR X, R₀, R₁, R₂

この命令のインストラクションビットフィールドに変換した場合、DM = “1”、D₀ = “1”、D₁ = “0”、D₂ = “0”となる。

（効果）

以上のように、この発明に係るレジスタ指定装置によれば、ディスティネーションとして複数のレジスタを指定可能にしたので、プログラミングの際、命令ステップの削減が可能となり、プログラミングの簡易化に対する効果がある。

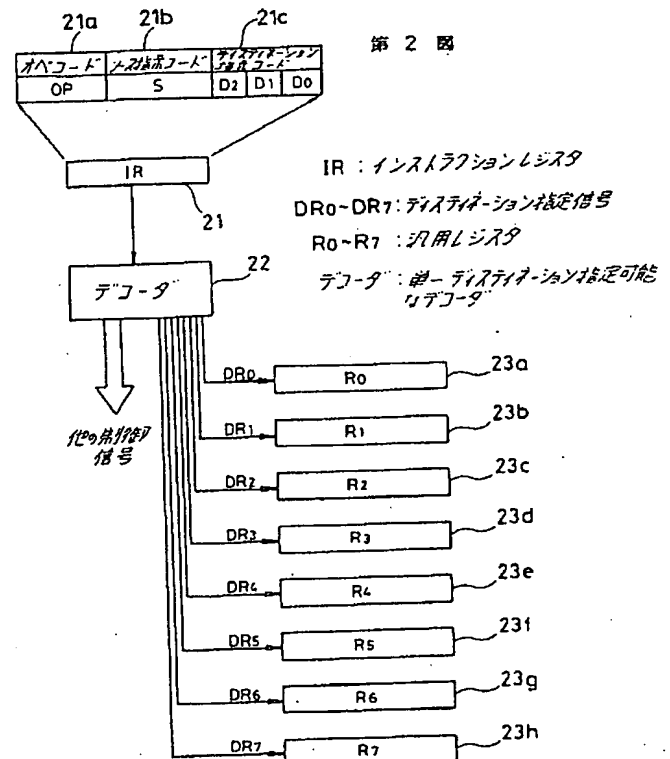
4. 図面の簡単な説明

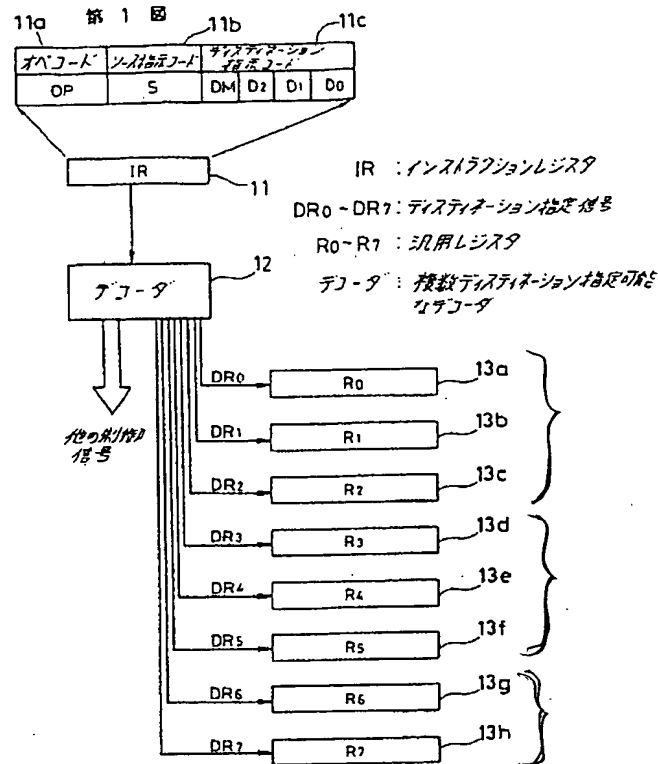
第1図はこの発明の実施例によるレジスタ指定装置の構成図、第2図は従来の実施例によるレジスタ指定方式の構成図、第3図はこの発明の実施例によるインストラクションデコードの真理値表を示す図、第4図は従来の実施例によるインストラクションデコードの真理値表を示す図、第5図はデコードのブロック構成図、第6図は従来のレジスタ指定方式のデコードの内部構成を示す図、第7図は本発明の一実施例におけるデコードの内部構成を示す図である。

図において、11はインストラクションレジスタ、12はデコード、13a～13hはレジスタ、51はインストラクションレジスタ、52はデコード、53はオペコードデコード、54はディスティネーションコードデコードである。

なお図中同一符号は同一又は相当部分を示す。

代理人 早瀬 憲一





第 3 図

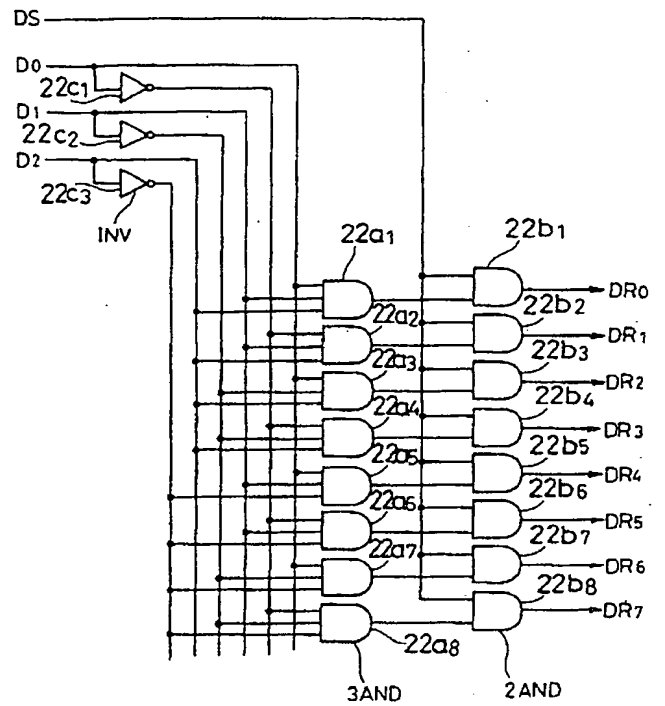
DS	DM	D2	D1	D0	DR7	DR6	DR5	DR4	DR3	DR2	DR1	DR0
0	*	*	*	*	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	1
	0	0	0	1	0	0	0	0	0	0	1	0
	0	0	1	0	0	0	0	0	0	1	0	0
	0	0	1	1	0	0	0	0	1	0	0	0
	0	1	0	0	0	0	0	1	0	0	0	0
	0	1	0	1	0	0	1	0	0	0	0	0
	0	1	1	0	0	1	0	0	0	0	0	0
	0	1	1	1	0	1	0	0	0	0	0	0
	1	0	0	0	0	0	0	0	0	0	0	0
	1	0	0	1	0	0	0	0	1	1	1	1
	1	0	1	0	0	0	1	1	1	1	1	1
	1	0	1	1	0	0	1	1	1	1	1	1
	1	1	0	0	1	1	0	0	0	0	0	0
	1	1	0	1	1	1	0	0	0	1	1	1
	1	1	1	0	1	1	1	1	1	0	0	0
	1	1	1	1	1	1	1	1	1	1	1	1

単一指定モード
複数指定モード

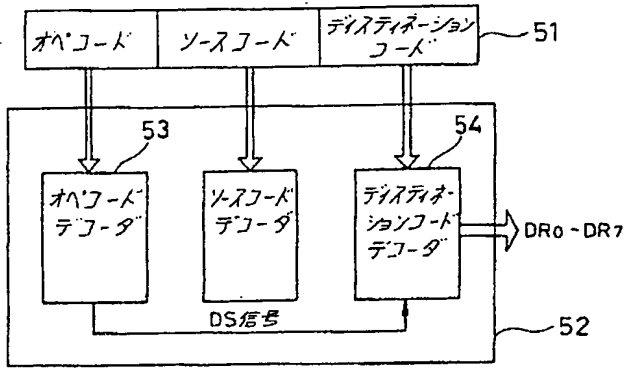
第 4 図

DS	D2	D1	D0	DR7	DR6	DR5	DR4	DR3	DR2	DR1	DR0
0	*	*	*	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	1
	0	0	1	0	0	0	0	0	0	1	0
	0	1	0	0	0	0	0	0	1	0	0
	0	1	1	0	0	0	0	1	0	0	0
	1	0	0	0	0	0	1	0	0	0	0
	1	0	1	0	0	1	0	0	0	0	0
	1	1	0	0	1	0	0	0	0	0	0
	1	1	1	0	0	1	0	0	0	0	0

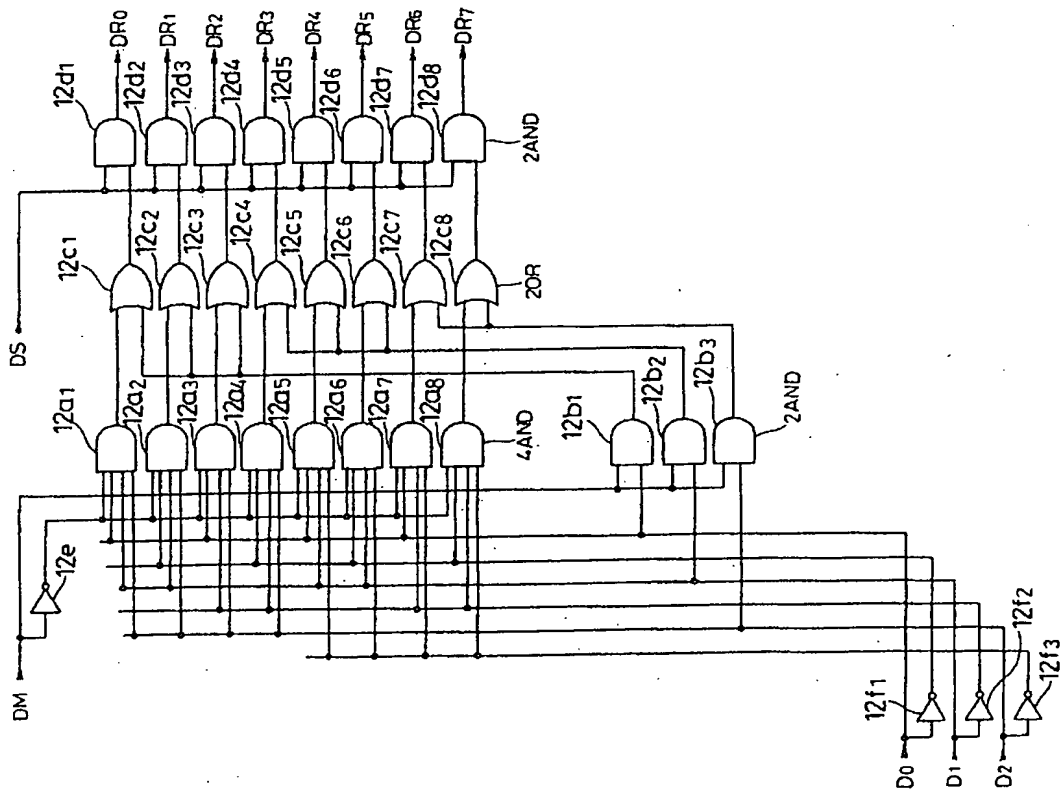
第 7 図



第 5 図



第 6 図



手続補正書 (自発)

5. 補正の対象

図面 (第1図)

6. 補正の内容

(I) 第1図を別紙の通り訂正する。

平成 2年 9月 5日



特許庁長官 殿

以 上

1. 事件の表示

特願平2-58845号

2. 特許の名称

レジスタ指定装置

3. 補正をする者

事件との関係 特許出願人

住 所 東京都千代田区丸の内二丁目2番3号

名 称 (601) 三菱電機株式会社

代表者 志 岐 守 哉

4. 代理人

郵便番号 564

住 所 大阪府吹田市江坂町1丁目23番43号

ファサード江坂ビル7階

氏 名 (8181) 弁理士 志 岐 守 哉

電話 06-380-5892

第1図

